

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

3894123

Basic Patent (No,Kind,Date): JP 57132189 A2 820816 <No. of Patents: 001>
INDICATOR (English)

Patent Assignee: FUJITSU LTD

Author (Inventor): OOKAWA YASUSHI; OKI KENICHI; MIURA TERUNOBU

IPC: *G09F-009/30; G09F-013/22; H05B-033/00

Derwent WPI Acc No: *G 82-M4762E;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 57132189	A2	820816	JP 8118310	A	810209 (BASIC)

Priority Data (No,Kind,Date):

JP 8118310 A 810209

Concise Statement for JP 57-132189

WHAT IS CLAIMED IS:

A display device comprising:

a first display medium over a substrate; and

a pixel electrode opposing to the first display medium over the substrate,
wherein:

a switching transistor for driving and a capacitor for dividing voltage are
connected in parallel between the pixel electrode and a reference potential point,
the capacitor for dividing voltage corresponding to the pixel electrode is
formed under the pixel electrode,

the capacitor for dividing voltage forms a capacitive display element by
interposing a second display medium between electrodes of the capacitor for dividing
voltage.

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—132189

⑬ Int. Cl.³
G 09 F 9/30
13/22
H 05 B 33/00

識別記号

庁内整理番号
7520—5C
6517—5C
7254—3K

⑭ 公開 昭和57年(1982) 8月16日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ 表示装置

川崎市中原区上小田中1015番地
富士通株式会社内

⑯ 特 願 昭56—18310

⑰ 発 明 者 三浦照信

⑱ 出 願 昭56(1981) 2月9日

川崎市中原区上小田中1015番地
富士通株式会社内

⑲ 発 明 者 大川泰史

川崎市中原区上小田中1015番地
富士通株式会社内

⑳ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

㉑ 発 明 者 沖賢一

㉒ 代 理 人 弁理士 井桁貞一

明 細 書

1. 発明の名称

表示装置

2. 特許請求の範囲

共通の基板上に第1の表示媒体と対面する画素電極を有し、該画素電極と基準電位点との間に駆動用のスイッチングトランジスタと分圧用コンデンサとを並列接続し、かつ前記画素電極対応の分圧用コンデンサを画素電極直下に形成し、該分圧用コンデンサの電極間に第2の表示媒体を介在させて容量性表示素子を形成してなることを特徴とする表示装置。

3. 発明の詳細な説明

本発明は表示装置に関し、さらに具体的にはスイッチングトランジスタとコンデンサとを組合せた駆動回路を画素ごと一体的に設け、各画素対応の駆動をなすエレクトロルミネッセンス (EL) 表示装置のような平板形の多色表示可能な表示装置構造に関するものである。

近年、画面走査のフレーム周波数に関係なく高

輝度表示ができる方式のマトリックス形 EL 表示装置の研究、開発がなされている。その一つとして例えば S1 基板上にマトリックス配列された画素ごとに、アドレス用スイッチングトランジスタと画素駆動用スイッチングトランジスタおよび分圧用コンデンサならびに蓄積用コンデンサを組合わせた駆動回路を設け、各画素を選択的に駆動するようにした、いわゆる 2Tr-2C 回路方式と呼ばれる新しい回路方式による EL 表示装置が提案されている。この 2Tr-2C 回路方式による EL 表示装置においては画素駆動用スイッチングトランジスタの耐圧を低くできる方式として極めて有用なものである。

第1図はこのような 2Tr-2C 回路方式による EL 表示装置の等価的回路構成を示す要部概略図であり、Q1 および Q2 は駆動用スイッチングトランジスタおよびアドレス用スイッチングトランジスタを構成する電界効果トランジスタ (FET) であつて、各 FET Q1 はマトリックス配列された画素電極 1 と基準電位点となる接地間に接続

されるとともに分圧用コンデンサ C_d が各 FET Q_1 と並列接続してある。また各 FET Q_1 のゲートには各 FET Q_2 の例えばソースが接続され、かつそのソースと基準電位点となる接地間には各々蓄積用コンデンサ C_s が接続されている。そして各列ごとの FET Q_2 のドレインは各データライン D に共通接続され、さらに各行ごとの FET Q_2 のゲートは各走査ライン S に共通接続してある。また各画素電極 1 は第 1 の表示媒体となる EL 層 2 に対面し、その EL 層 2 上に対面して透明電極 8 が配設され、端子 4 と接地間には図示を省略したが EL 素子駆動用電源が接続される。そして走査ライン S に走査信号を、またデータライン D にデータ信号を印加することにより、選択的に EL 層 2 を発光させて表示をなすようになっている。

このような 2Tr-2C 回路方式による EL 表示装置構造は第 2 図の要部断面図に示すように、例えば P 型 S_1 基板 5 上に FET Q_1 ならびに Q_2 (図示を省略) を形成するとともに分圧用コンデ

ンサ C_d および蓄積用コンデンサ C_s が画素電極 1 の直下に多層構造で形成してある。図において 6 および 7 は SiO_2 層であり、8 および 9 は例えばポリシリコンに磷 (P) を拡散した導電体層である。そして導電体層 9 に連結する配線 10 と Si 基板 6 とを接地することにより、基板 5 と導電体層 8 とによつて構成されるコンデンサ C_s および導電体層 8, 9 によつて構成されるコンデンサ C_d が並列接続されて蓄積用コンデンサ C_s を構成している。また分圧用コンデンサ C_d は SiO_2 層 7 を介して形成された導電体層 9 と画素電極 1 によつて構成される。さらにその画素電極 1 と透明電極 8 との間には第 1 の表示媒体となる EL 層 2 をそなえている。また導電体層 8 は配線 11 を通して FET Q_1 のゲート G_1 と図示を省略したが FET Q_2 のソースに接続される。なお図における S_1 , D_1 は FET Q_1 のソースおよびドレインを示す。

ところでこのような構成の表示装置では、当然表示色は EL 層 2 の物質に応じた発光色しか得ら

れず単色表示の EL 表示装置となる。

本発明の目的は前述のような画素ごとに駆動用スイッチングトランジスタと分圧用コンデンサとを設けた表示装置において、簡単な構造で多色表示を可能とした表示装置を提供することであり、その特徴は共通の基板上に第 1 の表示媒体と対面する画素電極を有し、該画素電極と基準電位点との間に駆動用のスイッチングトランジスタと分圧用コンデンサとを並列接続し、かつ前記画素電極対応の分圧用コンデンサを画素電極直下に形成し、該分圧用コンデンサの電極間に第 2 の表示媒体を介在させて容量性表示素子を形成してなるところにある。

以下本発明の一実施例を EL 表示装置に適用した場合について図面を参照して説明する。

第 8 図は本発明による EL 表示装置の構造を説明するための要部概略断面図であつて、第 2 図における同等部分には同一符号を付して示した。

図から明らかなように本発明による EL 表示装置の従来のものと異なる点は、従来の画素電極 1 直

下に SiO_2 層 7 (第 2 図参照) を介して導電体層 9 を形成することにより分圧用コンデンサ C_d を構成していたが、その SiO_2 層 7 の代りに第 1 の表示媒体である EL 層 2 とは異なる発光色を有する第 2 の表示媒体となる EL 層 12 を形成し、従来の分圧用コンデンサ C_d を容量性表示素子 C_d' で置き換えたところにある。この容量性表示素子 C_d' は従来の分圧用コンデンサ C_d の機能をも兼ね備えるものである。

第 4 図は第 8 図において実線 A で囲んで示した箇所の部分拡大断面図であつて、導電体層 9 上には酸化イットリウム (Y_2O_3) 等の誘電体層 13 を介して例えば硫化亜鉛に弗化サマリウムを添加 ($ZnS:SmF_3$) した赤橙色の発光色を有する EL 層 12 が形成され、さらにその EL 層 12 上に Y_2O_3 等の誘電体層 14 を介して画素電極 1 が形成されている。その画素電極 1 は例えば酸化インジウム (In_2O_3) 等の透明導電体層からなる。そして画素電極 1 上には Y_2O_3 等の誘電体層 15 を介して例えば硫化亜鉛に弗化アルビウムを添加 (ZnS

: TbF_3)した緑色の発光色を有するEL層2が形成され、さらにその上に Y_2O_3 等の誘電体層16を介して In_2O_3 等からなる透明電極8が形成してある。そして前述のように導電体層9と画素電極1によつて、従来の分圧用コンデンサCdに代る容量性表示素子Cd'が構成される。なお今後の説明の便宜上、導電体層9と画素電極1間で構成されるELセルをEL2とし、また画素電極1と透明電極8間で構成されるELセルをEL1と称することとする。

次に本発明によるEL表示装置の動作について説明する。第5図は本発明によるEL表示装置の等価的回路構成を示す要部概略図であつて、第1図と同等部分には同一符号を付した。図においてFET Q1は駆動用スイッチングトランジスタであつてマトリックス配列された画素電極1と基準電位点となる接地間に接続され、そのFET Q1と赤橙色の発光色を有するEL層12で構成されたELセルEL2が並列接続してある。またFET Q2はアドレス用スイッチングトランジスタ、

C8は蓄積用コンデンサ、DならびにSはデータラインならびに走査ラインであり、EL1は緑色の発光色を有するEL層2で構成されたELセルである。そして端子4と接地間には図示を省略したが駆動用電源が接続されて電圧V0の駆動電圧が印加される。

いま走査ラインSに走査信号が入力されるとFET Q2がオン状態となる。この時データラインDにデータ信号が入力されておれば蓄積用コンデンサC8に電荷が蓄積されてFET Q1がオン状態となる。すなわち第6図(A)に示すようにEL1には端子4に印加された電圧V0がすべて印加されることとなる。また走査ラインSあるいはデータラインDのいずれか一方に信号が入力されない場合にはFET Q1がオフ状態となり、第6図(B)に示すごとく端子4に印加された電圧V0はEL1およびEL2の両端で電圧V1およびV2に分圧される。ここでEL1の発光のしきい値電圧を V_{TH1} 、EL2の発光のしきい値電圧を V_{TH2} とし、各々の V_{TH1} 、 V_{TH2} を $V_{TH2} < V_2$ 、 $V_1 < V_{TH1} <$

V_0 となるように設定することにより、FET Q1がオン状態の場合にはEL1が緑色で発光し、またFET Q1がオフ状態の場合にはEL2が赤橙色で発光する。かくして赤橙色と緑色の発光の切替えが可能となり多色表示ができるのである。つまり赤橙色地に緑色の形像を表示したり、逆に緑色地に赤橙色の形像を表示する等、多色表示が可能となる。また駆動のフレーム周波数を人間の目の応答速度よりも充分速くし、その期間内で2色の切替え回数を制御することにより、見掛け上、緑色と赤橙色との中間色を得ることも可能である。

なお前述の実施例では第1の表示媒体と第2の表示媒体とを各画素電極に対応した領域に分割した形で形成した場合について説明したがそれに限らず、各画素電極に共通となる形で全面に形成することもできるし、また前述の実施例では表示媒体としてELを用いたEL表示装置について説明したが表示媒体はELに限らず液晶やエレクトロクロミック等からなる容量性表示素子を用いたその他の表示装置にも勿論適用することができる。

以上の説明から明らかなように本発明は要するに、共通の基板上に第1の表示媒体と対面する複数の画素電極を有し、該各画素電極と基準電位点との間に駆動用スイッチングトランジスタと分圧用コンデンサとを並列接続し、かつ前記各画素電極対応の分圧用コンデンサを各画素電極直下に形成してなる表示装置において、前記分圧用コンデンサを、前記第1の表示媒体の表示色とは異なる表示色を有する第2の表示媒体で構成した容量性表示素子で置換し、その容量性表示素子に表示機能と分圧用コンデンサの機能とを兼備させるようにしたもので、2Tr-2C回路方式の長所を損なうことなく、簡単な構造で多色表示可能な表示装置が容易に実現できる利点を有する。

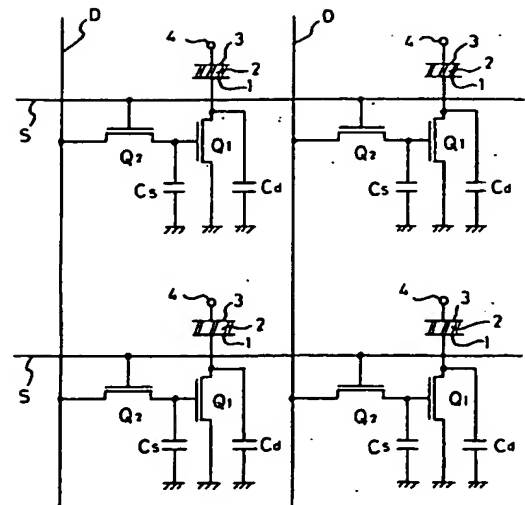
4. 図面の簡単な説明

第1図は一般的な表示装置の等価的回路構成を示す概略図、第2図は従来の表示装置の構造を説明するための要部断面図、第3図は本発明による表示装置の構造を説明するための要部概略断面図、第4図は第3図における実線Aで囲んで示した個

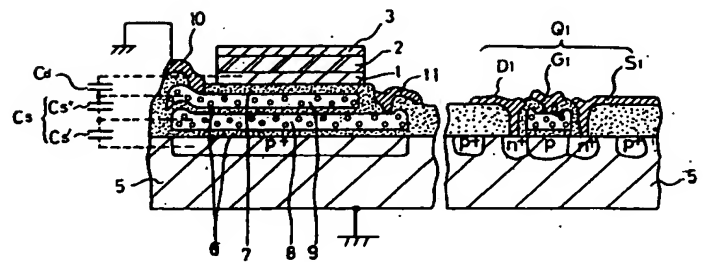
所の部分拡大断面図、第5図は本発明による表示装置の等価的回路構成を示す要部概略図、第6図(A)および(B)は本発明による表示装置の動作を説明するための要部等価回路図である。

1: 画素電極、2: 第1の表示媒体、5: 基板、8, 9: 導電体層、12: 第2の表示媒体、 Q_1 : 駆動用スイッチングトランジスタ、 Q_2 : アドレス用スイッチングトランジスタ、 C_d : 分圧用コンデンサ、 C_d' : 容量性表示素子、 C_s : 寄換用コンデンサ。

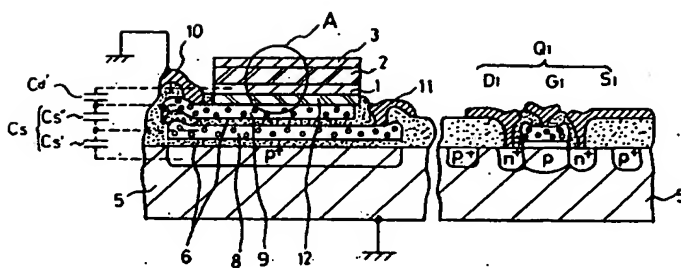
第1図



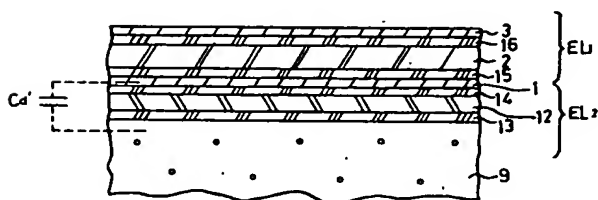
第2図



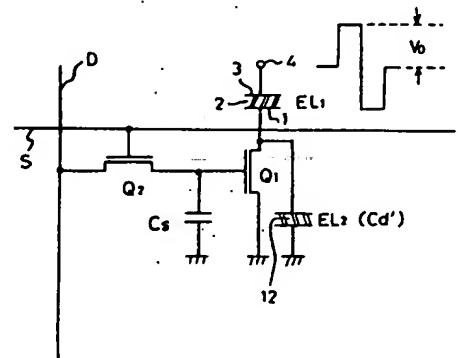
第3図



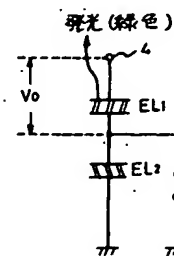
第4図



第5図



第6図(A)



第6図(B)

